

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-296818

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 平成1年(1989)11月30日

H 03 K 19/177

7328-5J

審査請求 未請求 請求項の数 4 (全10頁)

⑭ 発明の名称 プログラマブル論理回路装置

⑮ 特 願 昭63-126014

⑯ 出 願 昭63(1988)5月25日

⑰ 発 明 者 樋 口 光 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑰ 発 明 者 小 椋 清 則 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエルエスアイ株式会社内

⑰ 発 明 者 新 林 幸 司 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエルエスアイ株式会社内

⑰ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰ 出 願 人 富士通ヴィエルエスアイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2

⑰ 代 理 人 弁理士 青 木 朗 外4名

最終頁に続く

明 細 書

1. 発明の名称

プログラマブル論理回路装置

2. 特許請求の範囲

1. 所定の論理を実現するセルアレイ(14,17)と、プログラム可能な不揮発性メモリ素子に記憶されている内容に応じて信号の入出力および内部フィードバックを制御する制御回路ブロック(12)とを具備し、

該制御回路ブロックは、

前記セルアレイからの出力信号を第1のクロック(CLKA)にตอบสนองしてラッチするプログラム可能な第1のレジスタ(20A)と、

前記不揮発性メモリ素子の記憶状態に応じて該第1のレジスタの出力信号(Q1)または前記セルアレイの出力信号(OR1)のいずれかを選択して外部に出力するためのプログラム可能な第1のスイッチ回路(32,28)と、

該第1のスイッチ回路において選択された信号の外部への出力または外部からの信号の入力の切

換えを制御する入出力切換え回路(30,29,36)と、外部からの入力信号を第2のクロック(CLKB)にตอบสนองしてラッチするプログラム可能な第2のレジスタ(20B)と、

前記不揮発性メモリ素子の記憶状態に応じて前記セルアレイの出力信号(OR1,OR2)、前記第1のレジスタの出力信号(Q1)、前記第2のレジスタの出力信号(Q2)または外部からの入力信号のいずれかを選択して前記セルアレイ側にフィードバックするためのプログラム可能な第2のスイッチ回路(33)とを有し、

前記入出力切換え回路による切換え制御と前記第1および第2のスイッチ回路におけるスイッチ切換えに基づいて前記信号の入出力および内部フィードバックを制御するようにしたことを特徴とするプログラマブル論理回路装置。

2. 前記セルアレイから2つの信号(OR1,OR2)を取り出して排他的論理和を演算する回路(34)をさらに具備し、該排他的論理和の信号(XOR)が前記第1のレジスタ、第1のスイッチ回路、第2の

レジスタおよび第2のスイッチ回路に入力されるよう構成されている、請求項1記載のプログラマブル論理回路装置。

3. 前記不揮発性メモリ素子の記憶状態に応じて2つの異なるクロック信号(CLK1, CLK2)のいずれかを選択する第3のスイッチ回路(21)および第4のスイッチ回路(22)をさらに具備し、該第3および第4のスイッチ回路において選択された2つのクロック信号(CLKA, CLKB)が前記第1および第2のクロックとしてそれぞれ前記第1のレジスタ、第2のレジスタに供給されるよう構成されている、請求項2記載のプログラマブル論理回路装置。

4. 前記第1および第2のレジスタをそれぞれセット状態にするためのセット信号(SETA, SETB)とリセット状態にするためのクリア信号(CLRA, CLRB)を前記不揮発性メモリ素子の記憶状態に応じて供給するか否かを選択する第5のスイッチ回路(23~26)をさらに具備する、請求項3記載のプログラマブル論理回路装置。

信号をラッチするプログラム可能な第2のレジスタと、前記不揮発性メモリ素子の記憶状態に応じて前記セルアレイの出力信号、前記第1のレジスタの出力信号、前記第2のレジスタの出力信号または外部からの入力信号のいずれかを選択して前記セルアレイ側にフィードバックするためのプログラム可能な第2のスイッチ回路とを有し、前記入出力切換え回路による切換え制御と前記第1および第2のスイッチ回路におけるスイッチ切換えに基づいて前記信号の入出力および内部フィードバックを制御するように構成する。

#### 〔産業上の利用分野〕

本発明は、プログラマブル論理回路装置に関し、特に、不揮発性メモリ素子に記憶されている内容に基づいて信号の入出力、内部フィードバック等の論理接続を制御する回路ブロック（以下、マクロ・セルと称する）を内蔵したプログラム可能な論理デバイス（PLD）に関する。

例えばプログラマブル・ロジック・アレイ（P

### 3. 発明の詳細な説明

#### 〔概要〕

プログラマブル論理回路装置、特に、不揮発性メモリ素子に記憶されている内容に基づいて信号の入出力、内部フィードバック等の論理接続を制御する回路ブロック（マクロ・セル）を内蔵したPLDに関し、

マクロ・セルの多機能化を図り、論理回路設計の自由度を制限することなく種々の論理構成を実現可能にすることを目的とし、

所定の論理を実現するセルアレイと、信号の入出力および内部フィードバックを制御する制御回路ブロックとを具備し、該制御回路ブロックは、前記セルアレイからの出力信号をラッチするプログラム可能な第1のレジスタと、不揮発性メモリ素子の記憶状態に応じて該第1のレジスタの出力信号または前記セルアレイの出力信号のいずれかを選択して外部に出力するためのプログラム可能な第1のスイッチ回路と、信号の入出力の切換えを制御する入出力切換え回路と、外部からの入力

LA)、プログラマブル・アレイ・ロジック（PAL）（登録商標名）等のPLDにおいては、電氣的にプログラム可能なROM（EPROM）等のプログラム可能な不揮発性メモリ素子およびその記憶状態に応じて開閉成または信号選択を行うプログラム可能なスイッチを用いて信号の入出力や内部フィードバック等の論理接続を制御するマクロ・セルを構成し、これにより種々の論理構成を実現している。

〔従来の技術、および発明が解決しようとする課題〕

PLDは、1個のICチップでどのような論理回路でも実現できることを理想としているが、近年、その多種多様な構成もしくは構造の違いにより製品がファミリー化し、何十品種にも及んでいる。そこでこのような点に鑑み、マクロ・セルを1個のチップ（PLD）に内蔵させ、該1個のチップによって複数品種のチップに置き換えられるようにすることが提案されている。

しかしながら従来形のマクロ・セルは、その構成が極めて単純であって、多種多様の制御機能を実現することはできず、わずかに数品種の置き換えを可能にする程度であった。そのため、従来形のマクロ・セルは長所よりも短所の方が目につく。その一例は第5図に示される。

第5図は従来形の一例としてのマクロ・セルの構成を概略的に示したもので、同図の例示はアルテラ社製のEP300に内蔵されているマクロ・セルの場合を示す。

同図において、一点鎖線で示される部分51はマクロ・セル、52はアンドアレイと積項線とオアアレイとを模式的に示したもので、53はチップの入出力端子（以下、I/Oピンと称する）、54はローアクティブの出力イネーブル信号 $\overline{OE}$ にตอบสนองするトライステートバッファ、55はアンドアレイの一部を成すアンドゲート、56はアンドアレイ側に信号をフィードバックする際にそのバッファリングを行うバッファ、をそれぞれ示す。マクロ・セル51は主たる要素として、オアアレイの出力をラッチ

するD型フリップフロップ57と、該フリップフロップの出力またはオアアレイの出力のいずれかを選択して外部に出力する出力選択回路58と、オアアレイの出力、フリップフロップの出力または外部からの入力のいずれかを選択してアンドアレイ側にフィードバックするフィードバック選択回路59とから構成されている。

この構成によれば、I/Oピン53を双方向に利用した場合、論理設計の如何によってはマクロ・セルからの出力信号および外部からの入力信号の双方がアンドアレイ側にフィードバックされてしまうという不都合が生じる。そのため、例えば入力信号だけを論理に使用したい場合には、アンドゲート55を使用し、出力イネーブル信号 $\overline{OE}$ によりバッファ54を介して出力信号のフィードバックを無視するように論理回路設計を行う必要がある。つまり、その分だけ設計の自由度が制限され、設計自体も複雑になるという問題が生じる。

それ故、1個のICチップ(PLD)で可能な限りの多種多様な論理回路を実現可能とするため

には、従来形に見られるマクロ・セルの短所をすべてカバーできるような多くの機能を備えた新規のマクロ・セルをPLDに設ける必要がある。

本発明は、上述した従来技術における課題に鑑み創作されたもので、マクロ・セルの多機能化を図り、論理回路設計の自由度を制限することなく種々の論理構成を実現可能にするプログラマブル論理回路装置を提供することを目的としている。

#### (課題を解決するための手段)

上述した従来技術における課題は、所定の論理を実現するセルアレイと、プログラム可能な不揮発性メモリ素子に記憶されている内容に応じて信号の入出力および内部フィードバックを制御する制御回路ブロックとを具備し、該制御回路ブロックは、前記セルアレイからの出力信号を第1のクロックにตอบสนองしてラッチするプログラム可能な第1のレジスタと、前記不揮発性メモリ素子の記憶状態に応じて該第1のレジスタの出力信号または前記セルアレイの出力信号のいずれかを選択して

外部に出力するためのプログラム可能な第1のスイッチ回路と、該第1のスイッチ回路において選択された信号の外部への出力または外部からの信号の入力の切換えを制御する入出力切換え回路と、外部からの入力信号を第2のクロックにตอบสนองしてラッチするプログラム可能な第2のレジスタと、前記不揮発性メモリ素子の記憶状態に応じて前記セルアレイの出力信号、前記第1のレジスタの出力信号、前記第2のレジスタの出力信号または外部からの入力信号のいずれかを選択して前記セルアレイ側にフィードバックするためのプログラム可能な第2のスイッチ回路とを有し、前記入出力切換え回路による切換え制御と前記第1および第2のスイッチ回路におけるスイッチ切換えに基づいて前記信号の入出力および内部フィードバックを制御するようにしたことを特徴とするプログラマブル論理回路装置を提供することにより、解決される。

## 〔作 用〕

上述した構成によれば、セルアレイからの出力信号をラッチするための第1のレジスタとは別に、外部からの入力信号をラッチするための第2のレジスタが設けられており、該ラッチされた外部入力信号は、第2のスイッチ回路において選択されることによりセルアレイ側にフィードバックされ得る。この際、入出力切換え回路によって信号の入力または出力のいずれかのモードが選択されるように制御がなされる。つまり、信号の入力および出力、さらには出力信号のフィードバックがそれぞれ独立に制御される。

しかも、第1および第2のレジスタは共にプログラム可能であり、用途に応じてそのレジスタの構成が選択され得るので、各レジスタの使用形態は従来形に比して格段に拡張される。つまり、制御回路ブロックとしての多機能化を図ることができる。

なお、本発明の他の構成上の特徴および作用の詳細については、添付図面を参照しつつ以下に記

れる。フィードバック信号は前述したようにフィードバック用入力バッファ13を介してアンドアレイ14に供給され、一方、出力信号は入出力バッファ11を介してI/Oピン10<sub>1</sub>～10<sub>n</sub>より外部に出力される。また、マクロ・セル12には入力バッファ15からのクロック信号CLK1、CLK2が供給されると共に、センスアンプ18からのセット信号SETおよびクリア信号CLRが供給されている。

19はパワーオン・ロード回路であって、複数の不揮発性メモリ素子（例えばEPROM）がマトリクス状に配置された不揮発性メモリ素子マトリクス（図示せず）を有しており、電源投入時に、このマトリクスに記憶されている内容を読出してマクロ・セル12内のレジスタ（図示せず）にロード（格納）する機能を有している。

マクロ・セル12は、このレジスタに格納された内容に応じて複数のスイッチの開閉または信号選択の制御を行い、それによって信号の入出力、内部フィードバック等の論理接続を制御して種々の論理構成を実現する機能を有している。

述される実施例を用いて説明する。

## 〔実施例〕

第1図には本発明の一実施例としてのPLDの構成がブロック的に示される。

まず第1図において、10<sub>1</sub>～10<sub>n</sub>はチップの入出力端子（I/Oピン）を示し、該I/Oピンから入力された信号は入出力バッファ11を介してマクロ・セル12に供給される。マクロ・セル12は、この外部入力信号または内部で生成されるフィードバック信号（後述）をフィードバック用入力バッファ13を介してアンドアレイ14に供給する。アンドアレイ14には入力バッファ15を介して2種類のクロック信号CLK1およびCLK2が供給されており、アンドアレイ14の出力信号は積項線よりセンスアンプおよびドライバ16に供給され、ここで増幅されてオアアレイ17に供給される。

オアアレイ17の出力信号は、センスアンプ18において増幅された後マクロ・セル12に供給され、ここでフィードバック信号と出力信号とに分離さ

次に、第1図におけるマクロ・セルの一構成例について第2図を参照しながら説明する。

第2図において、10は入出力（I/O）ピン、20Aおよび20Bはプログラム可能なフリップフロップ（FF）セルを示し、該FFセルは、後述するようにJK型、D型またはT型のいずれのFFにも対応可能に構成されている。30は出力イネーブル信号OEを制御するためのD型FFであって、入力サイクルと出力サイクルの切換えを行うためのものである。

21～29、31、32および33はそれぞれユーザ側でプログラム可能なスイッチ（SW）を示す。このうち、2入力型スイッチ21～29はそれぞれ、1ビットの制御信号C1～C9の論理レベルに応じて、入力端aおよびbに入力された2つの信号のいずれか一方を選択して出力端cに出力する。また、3入力型スイッチ31は、2ビットの制御信号C11およびC12の各論理レベルに応じて、入力端a～cに入力された3つの信号のいずれか一つを選択して出力端dに出力する。3入力型スイッチ32は、



2ビットの制御信号C21 およびC22 の各論理レベルに応じて、入力端a～dに入力された4つの信号のいずれか一つを選択して出力端eに出力する。さらに、7入力型スイッチ33は、3ビットの制御信号C31～C33 の各論理レベルに応じて、入力端a～gに入力された7つの信号のいずれか一つを選択して出力端hに出力する。

さらに34は排他的オアゲート、35はインバータ、36はトライステートバッファ、37はノアゲート、38は反転入力型バッファ、39はバッファを示す。

本実施例ではマクロ・セル12に入力される信号として、オアアレイ17から供給される2系統の出力信号OR1 およびOR2、入力バッファ15から供給される2系統のクロック信号CLK1およびCLK2、オアアレイ17から供給されるロー・アクティブの出力イネーブル信号OE、センスアンプ18から供給されるセット信号SET、同じくセンスアンプ18から供給されるクリア信号CLR、および、入出力バッファ11を介して供給されるロー・アクティブの入力イネーブル信号TEが用いられる。

29の入力端bに供給される。このD型FF30の出力端Qはスイッチ29の入力端aに接続され、該スイッチの出力端cはトライステートバッファ36の制御端に接続されている。スイッチ23および24の入力端aにはそれぞれセット信号SETが供給され、それぞれの入力端bは接地されている。スイッチ23の出力端cからはセット信号SETAが出力されてFFセル20Aに供給され、一方、スイッチ24の出力端cからはセット信号SETBが出力されてFFセル20Bに供給される。また、スイッチ25および26の入力端aにはそれぞれクリア信号CLRが供給され、それぞれの入力端bは接地されている。スイッチ25の出力端cからはクリア信号CLRAが出力されてFFセル20Aに供給され、一方、スイッチ26の出力端cからはクリア信号CLRBが出力されてFFセル20Bに供給される。

スイッチ27の出力端cはFFセル20Aの入力端Aに接続され、その出力端Q(出力信号01)は、スイッチ32の入力端cおよびスイッチ33の入力端cに接続されている。スイッチ32の出力端eは、

オアアレイ17の出力信号OR1は、排他的オアゲート34の一方の入力端、スイッチ27の入力端a、スイッチ32の入力端a、FFセル20Bの入力端B、およびスイッチ33の入力端aに供給される。一方、出力信号OR2は、排他的オアゲート34の他方の入力端、FFセル20Aの入力端B、スイッチ31の入力端a、およびスイッチ33の入力端bに供給される。排他的オアゲート34の出力信号XORは、スイッチ27の入力端b、スイッチ31の入力端b、スイッチ32の入力端b、およびスイッチ33の入力端eに供給される。

また、スイッチ21(22)の入力端a、bにはそれぞれクロック信号CLK1、CLK2が供給される。スイッチ21の出力端cからはクロック信号CLKAが出力されてD型FF30の入力端CKおよびFFセル20Aに供給され、一方、スイッチ22の出力端cからはクロック信号CLKBが出力されてFFセル20Bに供給される。

オアアレイ17から出力される出力イネーブル信号OEBは、D型FF30の入力端Dおよびスイッチ

スイッチ28の入力端aに接続されると共に、インバータ35を介してスイッチ28の入力端bに接続されている。スイッチ28の出力端cはトライステートバッファ36を介してI/Oピン10に接続されている。一方、スイッチ31の出力端dはFFセル20Bの入力端Aに接続され、その出力端Q(出力信号02)はスイッチ33の入力端dに接続されている。

ノアゲート37の一方の入力端はI/Oピン10に接続され、他方の入力端にはロー・アクティブの入力イネーブル信号TEが供給される。このノアゲートの出力信号は、バッファ38を介し、スイッチ33の入力端fに供給されると共に、スイッチ31の入力端cに供給される。なお、スイッチ33の入力端gは接地され、その出力端hは、バッファ39を介してアンドアレイ側に接続されている。

次に、第2図におけるFFセルの構成例および接続例について第3図(a)～(d)を参照しながら説明する。

本実施例に用いられるFFセル(第3図(a)参照)は、FF20aと、2入力型スイッチ20b、20c

と、インバータ20d とから構成される。スイッチ20b, 20c の構成および作用については第2図に示されるスイッチ21~29と同様であるので、その説明は省略する。仮に、制御信号C1' およびC2' の各論理レベルが "L" レベルの時にそれぞれのスイッチが入力aを選択し、"H" レベルの時に入力bを選択するものとする、各制御信号C1' およびC2' の論理レベルに応じて種々のFFが構成される。

例えば、制御信号C1' が "H" レベルで制御信号C2' が "L" レベルの時は、スイッチ20b においては入力bが選択され、スイッチ20c においては入力aが選択される。従って、接続形態は第3図(b)に示されるようにJK型FFとなる。同様に、制御信号C1' が "L" レベルで制御信号C2' が "H" レベルの時は、接続形態は第3図(c)に示されるようにD型FFとなる。また、制御信号C1' およびC2' が共に "L" レベルの時は、接続形態は第3図(d)に示されるようにT型FFとなる。

次に、第2図における2入力型スイッチの一構

成例について第4図を参照しながら説明する。

第4図において、40はインバータ、41, 42, 45および46はpチャネル型トランジスタ、43, 44, 47および48はnチャネル型トランジスタ、49はインバータ、aおよびbは入力端(信号)、cは出力端(信号)、Ciは1ビットの制御信号、をそれぞれ示す。トランジスタ41~44、および45~48はそれぞれ、高位の電源ラインVcc と低位の電源ラインVss の間で直列に接続されている。トランジスタ42, 43 のドレイン、およびトランジスタ46, 47 のドレインは共通にインバータ40を介して出力端cに接続されており、トランジスタ42および43のゲートは共通に入力端aに接続され、一方、トランジスタ46および47のゲートは共通に入力端bに接続されている。また、制御信号Ciは、トランジスタ41および48のゲートに供給されると共に、インバータ49を介してトランジスタ44および45のゲートに供給されるようになっている。

第4図の構成において制御信号Ciを "L" レベルまたは "H" レベルに設定することにより、入力a

またはbのいずれか一方のみが選択され、出力cとなる。

#### (1) 制御信号Ciが "L" レベルの時

この時、トランジスタ41はオン状態、トランジスタ48はオフ状態となり、一方、インバータ49の出力信号は "H" レベルであるので、トランジスタ44はオン状態、トランジスタ45はオフ状態となる。つまりこの場合には、トランジスタ46および47の出力側はフローティング状態となるので、入力信号bは無効となり、入力信号aが有効となる。

従って、入力信号aが "L" レベルの時はトランジスタ42がオンし、それによってインバータ40の入力端は "H" レベルとなり、出力端cはほぼVss のレベル、つまり "L" レベルとなる。逆に、入力信号aが "H" レベルの時はトランジスタ43がオンし、それによって出力端cはほぼVcc のレベル、つまり "H" レベルとなる。

#### (2) 制御信号Ciが "H" レベルの時

この時、各トランジスタのオン・オフ状態は、制御信号Ciが "L" レベルの時と逆になる。つまり、

入力信号aは無効となり、入力信号bが有効となる。従って、入力信号bが "L" レベルの時はトランジスタ46がオンし、それによって出力端cはほぼVss のレベル("L" レベル) となり、入力信号bが "H" レベルの時はトランジスタ47がオンし、それによって出力端cはほぼVcc のレベル("H" レベル) となる。

上述した実施例によれば、出力信号用のFFセル20A とは別に、入力およびフィードバック用のFFセル20B が設けられており、且つ、D型FF30、スイッチ29およびトライステートバッファ36により信号の入力または出力のいずれかのモードが選択されているので、信号の入力および出力、さらには出力信号のフィードバックがそれぞれ独立に制御される。さらに、FFセル20A, 20B は共に用途に応じてJK型、D型あるいはT型のFFに変更自在であるので、従来形に比して、マクロセル全体としての機能を格段に拡張することが可能となる。

また、排他的オアゲート34の出力を利用するこ

とができるので、積項線の数を増すことなく論理回路設計の自由度を増大することができる。

さらに、クロック信号は2系統(CLK1,CLK2)準備されているので、入力信号のラッチと出力信号のラッチを同時に行う時、異なる位相で出力する時などに有効となる。

また、FFセル20A,20Bのそれぞれに対し、セット信号SETA,SETB、クリア信号CLRA,CLRBを供給するか否かは、スイッチ23~26を適宜選択することにより自由に設定できる。

#### (発明の効果)

以上説明したように本発明のプログラマブル論理回路装置によれば、比較的簡易構成でありながらマクロ・セルの多機能化を図ることができ、それによって論理回路設計の自由度を制限することなく種々の論理構成を実現することができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例としてのPLDの全体的な構成を示すブロック図、

第2図は第1図におけるマクロ・セルの一構成例を示す回路図、

第3図(a)~(d)は第2図におけるFFセルの回路構成例と各種接続例を示す図、

第4図は第2図における2入力型スイッチの一構成例を示す回路図、

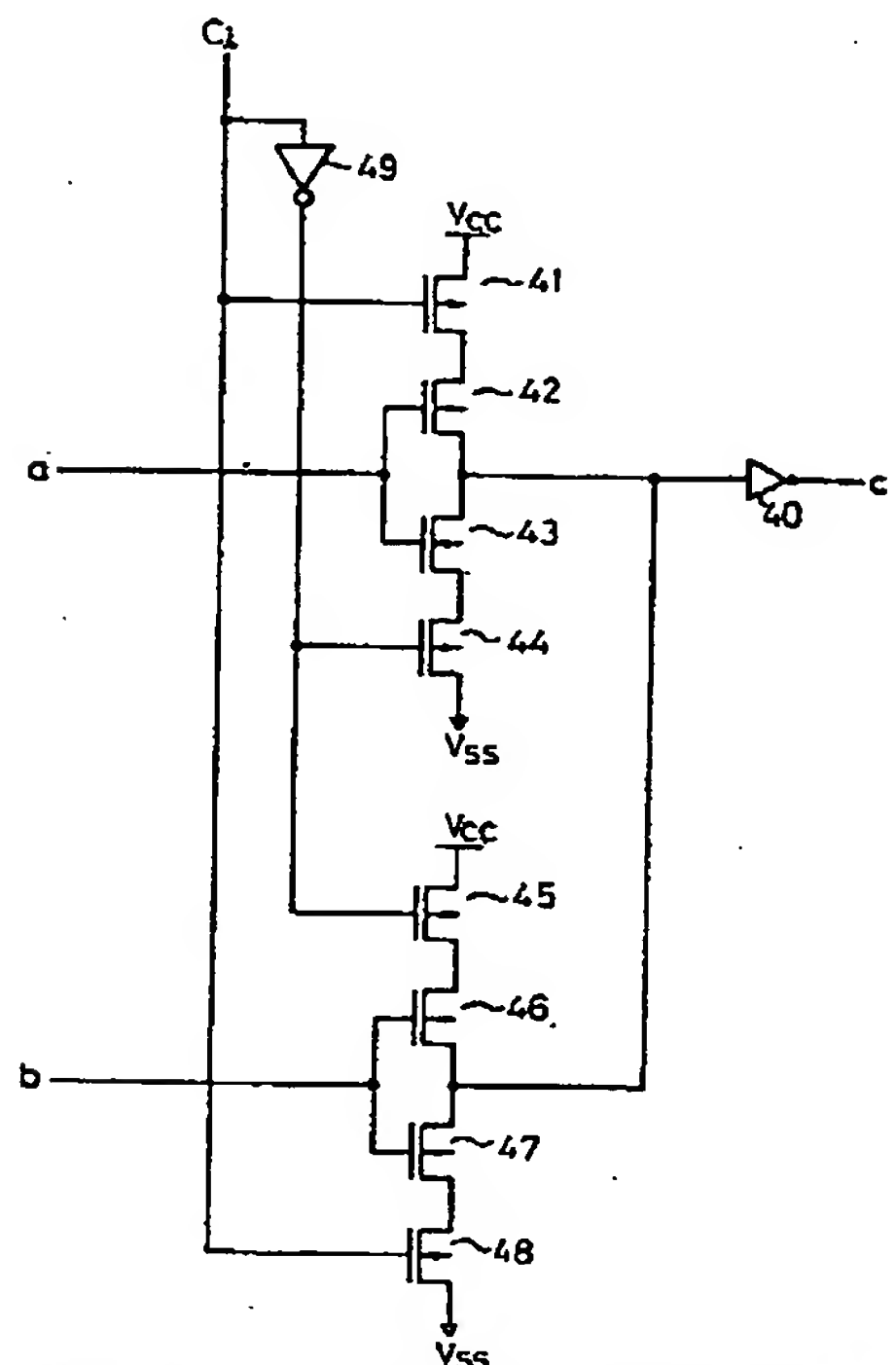
第5図は従来形の一例としてのマクロ・セルの構成を概略的に示した回路図、である。

#### (符号の説明)

10,10<sub>1</sub>~10<sub>n</sub>…入出力端子(I/O・ピン)、  
12…制御回路ブロック(マクロ・セル)、  
20A,20B…レジスタ(FFセル)、  
20b,20c,21~29,31~33…スイッチ(SW)、  
30…D型フリップフロップ(FF)、  
34…排他的オアゲート、  
36…トライステートバッファ、  
OR1,OR2…セルアレイの出力信号、  
Q1,Q2…FFセルの出力信号、  
XOR…排他的オアゲートの出力信号、

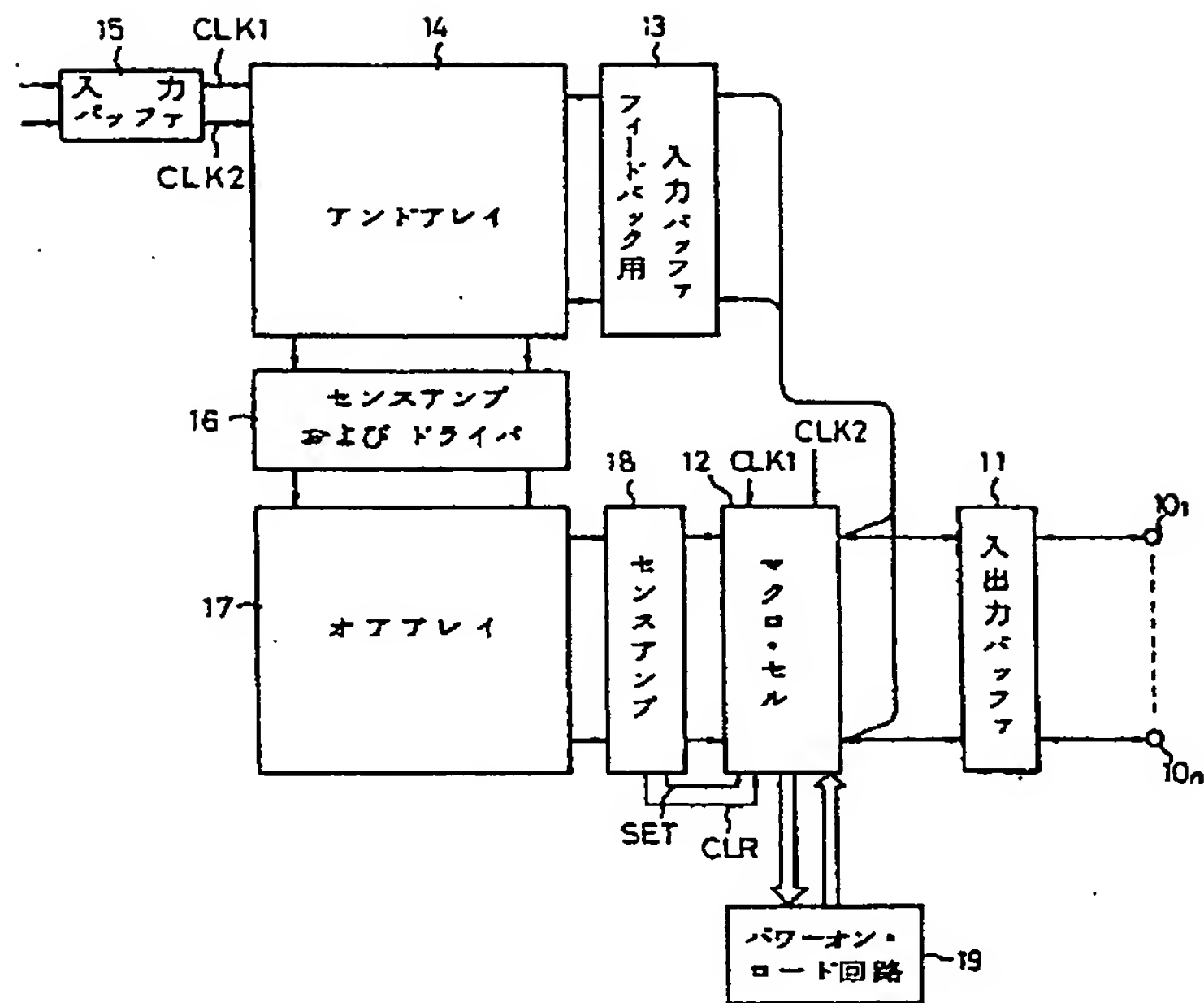
CLK1,CLK2,CLKA,CLKB…クロック信号、  
SET,SETA,SETB…セット信号、  
CLR,CLRA,CLRB…クリア信号。

特許出願人  
富士通株式会社  
富士通ヴィエルエスアイ株式会社  
特許出願代理人  
弁理士 青木 朗  
弁理士 石田 敬  
弁理士 平岩 賢三  
弁理士 山口 昭之  
弁理士 西山 雅也



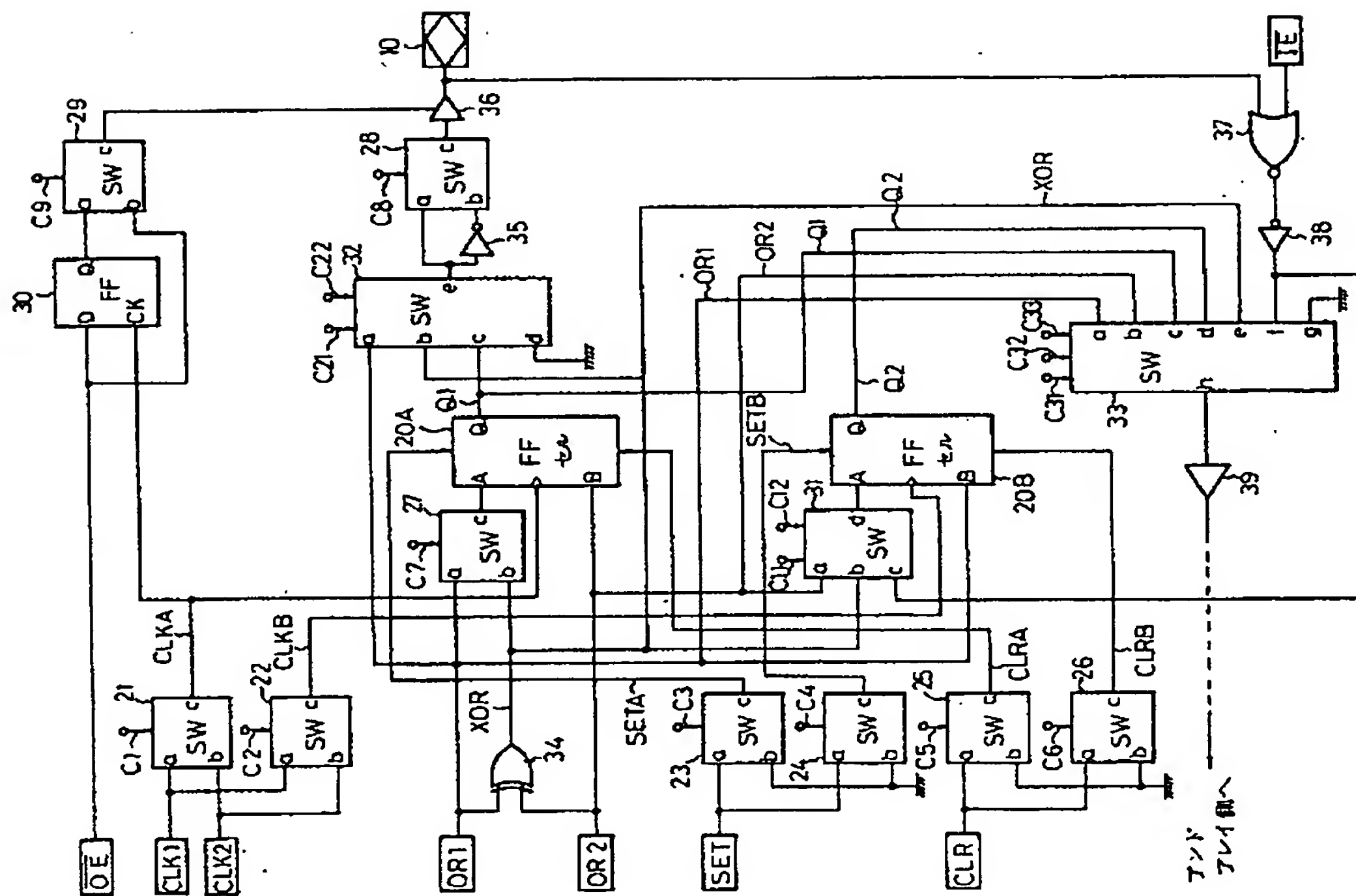
第2図における2入力型スイッチの一構成例を示す回路図

第4図



本発明の一実施例としてのPLDの全体的な構成を示すブロック図

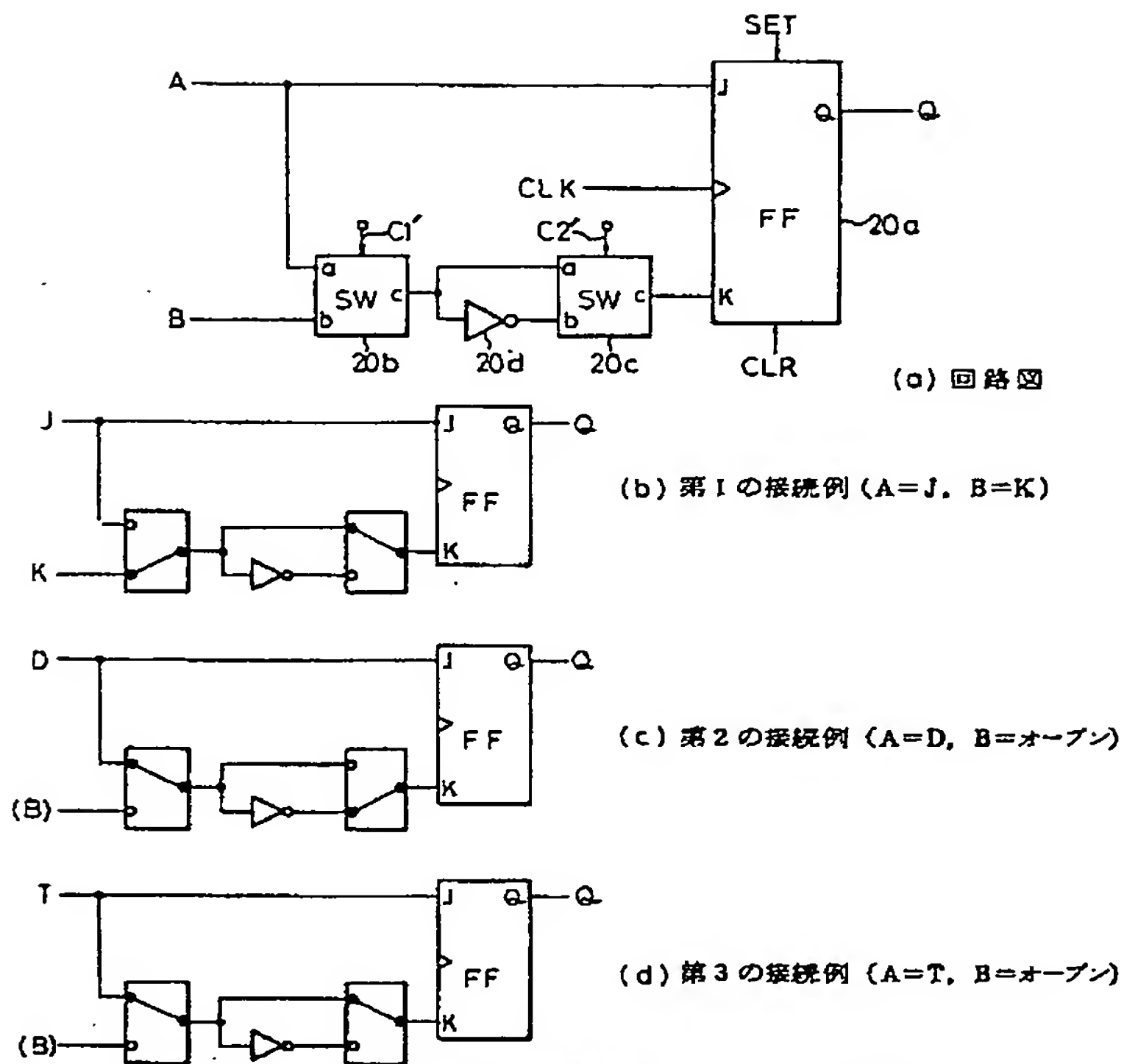
第1図



第1図におけるマクロセルの構成例を示す回路図

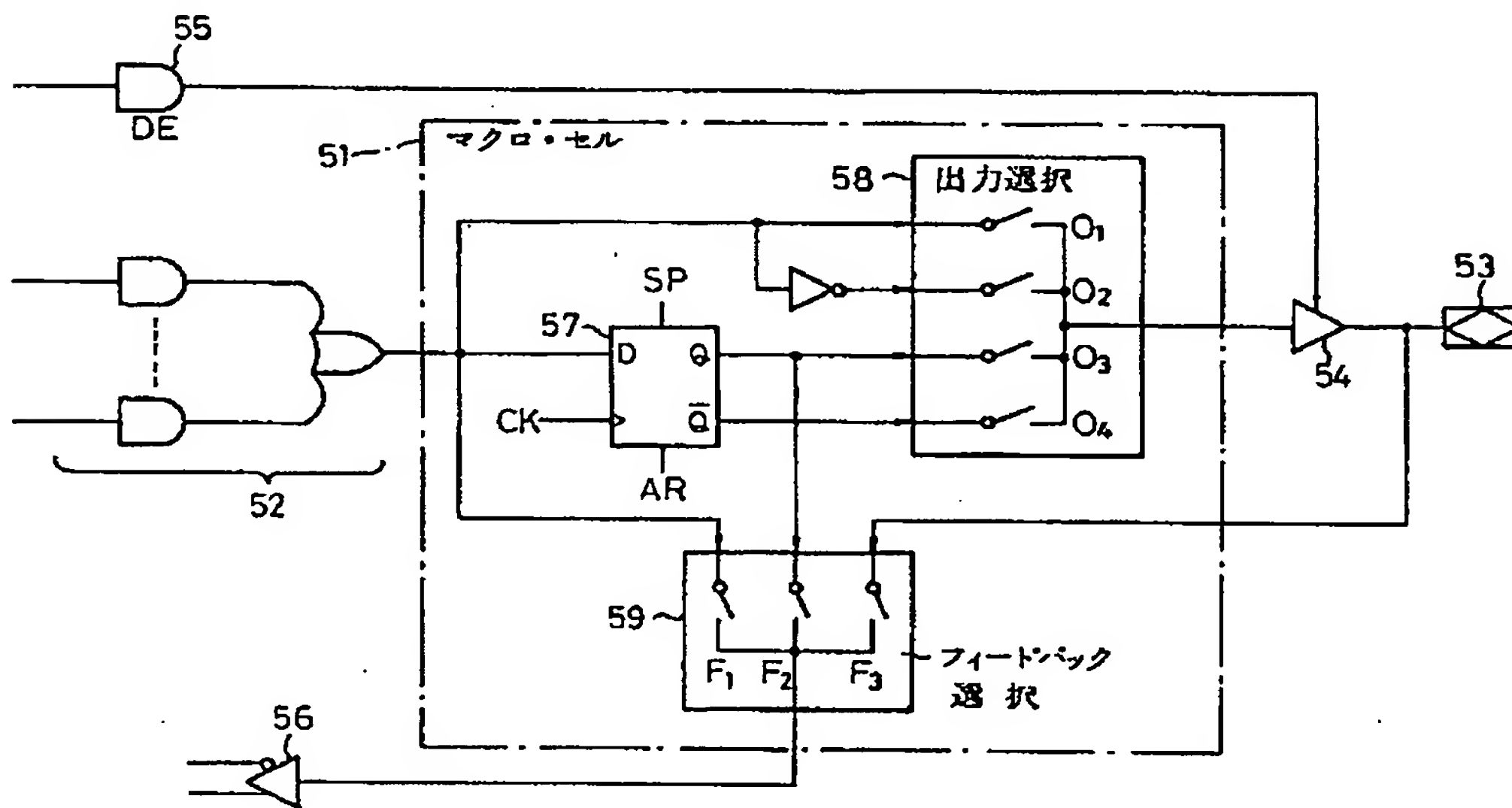
第2図





第2図におけるFFセルの回路構成例と各種接続例を示す図

第3図



従来形の一例としてのマクロ・セルの構成を概略的に示した回路図

第5図

第 1 頁の続き

⑫発 明 者 中 岡 康 広 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル  
エスアイ株式会社内